



PATENT ABSTRACTS OF JAPAN

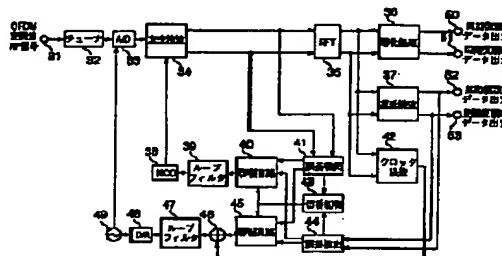
(11) Publication number: **11205275 A**(43) Date of publication of application: **30 . 07 . 99**

(51) Int. Cl.

H04J 11/00(21) Application number: **10005069**(22) Date of filing: **13 . 01 . 98**(71) Applicant: **TOSHIBA CORP TOSHIBA AVE
CO LTD**(72) Inventor: **TAGA NOBORU
SEKI TAKASHI****(54) OFDM RECEPTION DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To share plural memories used in a device, to substantially reduce the capacity of the memory and to easily make the device into LSI.

SOLUTION: An OFDM(orthogonal frequency division/multiplex) modulation signal is inputted to an orthogonal detection circuit 34 and orthogonally detects it. A frequency error detection circuit 41 detects the frequency errors of a clock and a carrier from orthogonal detection output. An FFT circuit 35 converts orthogonal detection output from a time area into a frequency area. The result is delay-detected between symbols in a delay detection circuit 37. The frequency errors of the clock and the carrier are detected in a frequency error detection circuit 44 from delay detection output. The respective outputs of the frequency error detection circuits 41 and 44 are switched in switch circuits 40 and 45 and the switch control circuit 44. The output of the frequency error detection circuit 41 is selected in the pull-in of an initial stage and the output of the frequency error detection circuit 44 is selected.



COPYRIGHT: (C)1999,JPO

Japanese Laid-open Patent Publication No.11-205275

Page 2, right column, lines 41 to 50

[0006] Meanwhile, an output of an FFT circuit 18 is subjected to differentially coherent detection in a differentially coherent detection circuit 20, and the resultant is output from output terminals 25 and 26 as differential demodulated data. Further, the output of the differentially coherent detection circuit 20 is input to an error detection circuit 21. The error detection circuit 21 detects a known signal (non-modulated pilot carrier) which is inserted into each slot with a specific frequency, to compare with arrangement information of a pilot that a receiver has in advance, and thereby detects a frequency shift on carrier interval basis, and the detected output is output to an adder 22 as a carrier frequency error signal.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-205275

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.⁸
H 0 4 J 11/00

識別記号

F I
H 0 4 J 11/00

Z

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21) 出願番号 特願平10-5069

(22) 出願日 平成10年(1998) 1月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221029

東芝エー・ピー・イー株式会社

東京都港区新橋3丁目3番9号

(72) 発明者 多賀 昇

東京都港区新橋3丁目3番9号 東芝エー・ピー・イー株式会社内

(72) 発明者 関 隆史

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

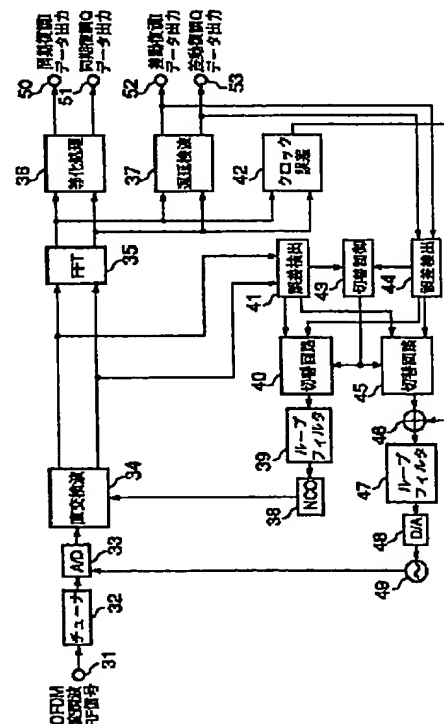
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 OFDM受信装置

(57) 【要約】

【課題】 装置内に用いる複数のメモリの共用化を図り、実質的にメモリ容量を削減してL S I化の実現を容易にする。

【解決手段】 直交検波回路34にOFDM変調信号を入力して直交検波し、周波数誤差検出回路41で直交検波出力からクロック及びキャリアの周波数誤差を検出し、直交検波出力をFFT回路35で時間領域から周波数領域へ変換し、この結果を遅延検波回路37にてシンボル間で遅延検波し、この遅延検波出力を周波数誤差検出回路44にてクロック及びキャリアの周波数誤差を検出し、周波数誤差検出回路41、44の各出力を切替回路40、45及び切替制御回路44で切り替えるようにし、初期の引き込みでは周波数誤差検出回路41の出力を選択し、その後、周波数誤差検出回路44の出力を選択する。



【特許請求の範囲】

【請求項1】 OFDM変調信号を入力して直交検波する直交検波手段と、

前記直交検波手段の出力からクロック及びキャリアの周波数誤差を検出する第1の周波数誤差検出手段と、

前記直交検波手段の出力を離散フーリエ変換により時間領域から周波数領域へ変換する離散フーリエ変換手段と、

この離散フーリエ変換結果をシンボル間で遅延検波する遅延検波手段と、

前記遅延検波手段の出力からクロック及びキャリアの周波数誤差を検出する第2の周波数誤差検出手段と、

前記第1の周波数誤差検出手段の出力と前記第2の周波数誤差検出手段の出力を切り替える切替手段とを具備し、

前記切替手段は、初期の引き込みでは第1の周波数誤差検出手段の出力を選択し、その後、第2の周波数誤差検出手段の出力を選択するように切り替えることを特徴とするOFDM受信装置。

【請求項2】 前記切替手段は、前記第1の周波数誤差検出手段の出力に応じて前記第1の周波数誤差検出手段から前記第2の周波数誤差検出手段に切り替えることを特徴とする請求項1記載のOFDM受信装置。

【請求項3】 前記切替手段は、所定の時間で前記第1の周波数誤差検出手段から前記第2の周波数誤差検出手段に切り替えることを特徴とする請求項1記載のOFDM受信装置。

【請求項4】 前記第1の周波数誤差検出手段は、前記直交検波手段の出力を有効シンボル期間遅延させる遅延手段と、前記直交検波手段の出力と前記遅延手段の出力の相関を検出する相関検出手段と、

前記相関検出手段の出力からクロック及びキャリアの周波数誤差を検出する誤差検出手段とを備え、

前記遅延検波手段の1シンボル期間遅延させる遅延手段と前記第1の周波数誤差検出手段の前記遅延手段とを共用することを特徴とする請求項1乃至3のいずれか1項記載のOFDM受信装置。

【請求項5】 前記第1の周波数誤差検出手段は、前記直交検波手段の出力を有効シンボル期間遅延させる遅延手段と、前記直交検波手段の出力と前記遅延手段の出力の相関を検出する相関検出手段と、前記相関検出手段の出力からクロック及びキャリアの周波数誤差を検出する誤差検出手段とを有し、

前記第2の周波数誤差検出手段は、前記遅延検波手段の出力を所定のシンボル数平均する平均手段と、前記平均手段の出力からクロック及びキャリアの周波数誤差を検出する誤差検出手段とを有し、

前記第1の周波数誤差検出手段の前記遅延手段と前記第2の周波数誤差検出手段の前記平均手段のメモリとを共用することを特徴とする請求項1乃至3のいずれか1項

記載のOFDM受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、OFDM（直交周波数分割多重）変調方式による伝送信号を受信するOFDM受信装置に関する。

【0002】

【従来の技術】 近年、音声信号及び映像信号の伝送においてデジタル変調方式の開発が盛んである。特に、デジタル地上放送においては、マルチパス妨害に強い、周波数利用効率が高い、等の特徴を有する直交周波数分割多重（以下、OFDM）変調方式が注目されている。以下、本発明に関連する従来の技術について説明する。

【0003】 OFDM受信装置の構成については『OFDM変復調装置の開発』映像情報メディア学会技術報告Vol.21, No.44, PP.13~18にも詳しく記載されている。図7に、この文献に記載されている従来のOFDM受信装置の構成を示す。

【0004】 図7において、入力端子11に入力されたOFDM変調波は、チューナ12で選局されてIF信号に変換された後、A/D変換回路13で電圧制御発振器14から供給されるクロックによってデジタル信号に変換される。このA/D変換回路13の出力は直交検波回路15においてベースバンドの同相成分（I信号）と直交成分（Q信号）に変換される。これらの信号はFFT（高速フーリエ変換）回路18でFFT演算により周波数軸データに変換された後、等化処理回路19において、まばらに配置された既知の信号（スキャタードパイロット）によって伝送路歪みをキャンセルするように各キャリアの振幅及び位相が補正され、同期復調データとして出力端子23、24より出力される。

【0005】 上記直交検波回路15の出力は誤差検出回路17にも供給される。この誤差検出回路17は、ガード期間の相関を利用して、クロック誤差信号とキャリア間隔の $\pm 1/2$ までのキャリア周波数誤差信号を検出するものである。前述の電圧制御発振器14はこのクロック誤差信号によって制御される。また、キャリア周波数誤差信号は、後述の誤差検出回路21より出力されるキャリア周波数誤差信号と加算器22で加算されてNCO16の周波数制御に用いられる。

【0006】 一方、FFT回路18の出力は遅延検波回路20にて遅延検波され、差動復調データとして出力端子25、26より出力される。また、遅延検波回路20の出力は誤差検出回路21に入力される。この誤差検出回路21は、特定の周波数スロットに毎シンボル挿入されている既知の信号（無変調のパイロットキャリア）を検出し、予め受信機で持っているパイロットの配置情報と比較することでキャリア間隔単位の周波数ずれを検出するもので、その検出出力はキャリア周波数誤差信号として加算器22に出力される。

【0007】以上説明したように、上記構成のOFDM受信装置では、ガード期間の相関を利用したクロック及びキャリアの周波数誤差検出と、既知のパイロット信号の配置情報を利用したキャリア周波数誤差検出を併用することで、クロックとキャリアの周波数同期を確立している。

【0008】

【発明が解決しようとする課題】以上述べたように従来のOFDM受信装置では、ガード期間の相関を利用したクロック及びキャリアの周波数誤差検出と既知のパイロット信号の配置情報を利用したキャリア周波数誤差検出を併用しているが、誤差検出回路17のガード期間の相関演算処理には1有効シンボル遅延回路（メモリ）を必要とし、また、誤差検出回路21で既知の信号を検出する回路でも1シンボルのメモリを必要とする。さらに、遅延検波回路20においても1シンボルのメモリを必要とする。

【0009】OFDM伝送方式の場合、約2000本あるいは約8000本というキャリア数を使用することが考えられており、1シンボルのメモリ容量もそのキャリア数分必要となるため、大きなメモリ容量となる。特に、OFDM受信装置の低廉化のためにLSI化を考慮した場合には、このメモリの容量を削減することは重要な課題である。

【0010】そこで本発明では、装置内に用いる複数のメモリの共用化を図り、実質的にメモリ容量を削減してLSI化の実現を容易にしたOFDM受信装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するために本発明に係るOFDM受信装置は、OFDM変調信号を入力して直交検波する直交検波手段と、前記直交検波手段の出力からクロック及びキャリアの周波数誤差を検出する第1の周波数誤差検出手段と、前記直交検波手段の出力を離散フーリエ変換により時間領域から周波数領域へ変換する離散フーリエ変換手段と、この離散フーリエ変換結果をシンボル間で遅延検波する遅延検波手段と、前記遅延検波手段の出力からクロック及びキャリアの周波数誤差を検出する第2の周波数誤差検出手段と、前記第1の周波数誤差検出手段の出力と前記第2の周波数誤差検出手段の出力を切り替える切替手段とを具備し、前記切替手段は初期の引き込みでは第1の周波数誤差検出手段の出力を選択し、その後、第2の周波数誤差検出手段の出力を選択するように切り替えることを特徴とするものである。

【0012】

【発明の実施形態】以下、図1乃至図6を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態とするOFDM受信装置の構成を示すもので、入力端子31から入力されたOFDM変調波は、

チューナ32で選局されてIF信号に変換された後、A/D変換回路33で電圧制御発振器49からのクロックによってデジタル信号に変換されて、直交検波回路34に入力される。この直交検波回路34では、数値制御発振器(NCO)38からの再生キャリアにより検波され、ベースバンドのOFDM変調波を得る。このOFDM変調波の同相検波軸出力(I信号)及び直交検波軸出力(Q信号)は、それぞれOFDM変調波の実部及び虚部である。

【0013】このように直交検波回路34で得られたOFDM変調波は、FFT(高速フーリエ変換)回路35のFFT演算により周波数軸データに変換された後、等化処理回路36において、まばらに配置された既知の信号(スキャタードパイロット信号)によって伝送路歪みをキャンセルするように各キャリアの振幅及び位相が補正され、同期復調データとして出力端子50、51より出力される。

【0014】また、FFT回路35の出力は遅延検波回路37に入力され、遅延検波された信号は差動復調データとして出力端子52、53より出力される。直交検波回路34の出力は誤差検出回路41にも供給され、ガード期間の相関を利用して、クロック周波数誤差信号とキャリア間隔の $\pm 1/2$ までのキャリア周波数誤差信号が検出され、クロック周波数誤差信号は切替回路45の一方の入力端子に、キャリア周波数誤差信号は切替回路40の一方の入力端子に供給される。また、誤差検出回路41からは切替制御回路43にクロック及びキャリアの周波数誤差の大きさを示す誤差レベル信号を出力する。

【0015】遅延検波回路37の出力は誤差検出回路44に入力され、特定の周波数スロットに毎シンボル挿入されている既知の信号(無変調のパイロットキャリア)を検出し、予め受信機で持っているそのパイロットキャリアの配置情報と比較することでキャリア間隔単位の周波数ずれを検出し、さらにパイロットキャリアの位相情報からクロックの周波数誤差信号とキャリア間隔内のキャリア周波数誤差信号を検出し、クロック周波数誤差信号は切替回路45のもう一方の入力端子に、キャリア周波数誤差信号は切替回路40のもう一方の入力端子に供給される。また、パイロットキャリアの検出状態を示す検出フラグを切替制御回路43に出力する。

【0016】FFT回路35の出力は、さらに、クロック誤差検出回路42に入力され、クロックの位相誤差信号を検出し、加算器46に位相誤差信号を出力する。切替回路40では切替制御回路43からの切替制御信号により前述の2つのキャリア周波数誤差信号の一方を選択してループフィルタ39に出力し、ループフィルタ39で平滑化された後、NCO38の周波数制御端子に入力されて再生キャリアの周波数が制御される。

【0017】切替回路45では切替制御回路43からの切替制御信号により前述の2つのクロック周波数誤差信号

号の一方を選択して加算器46に出力する。切替回路45の出力は加算器46で位相誤差信号と加算された後、ループフィルタ47で平滑化され、D/A変換回路48でアナログ信号に変換される。変換された信号は電圧制御発振器49の周波数制御端子に供給されてクロックの周波数が制御される。

【0018】ここで、図2を参照しながらクロック及びキャリアの周波数引き込みアルゴリズムと切替制御回路43の動作説明をする。まず、初期動作時には誤差検出回路41が動作し、ガード期間の相関検出が行われる

(ST1)。その相関演算結果からクロック及びキャリアの周波数誤差信号が検出される(ST2)。クロック及びキャリアの周波数誤差信号はそれぞれ切替回路45、40に出力される一方、所定期間ごとに平滑化されてその絶対値を求められ、誤差レベル信号として切替制御回路43に入力される。切替制御回路43では誤差レベル信号と所定の値とを比較する(ST3)。誤差レベル信号が所定の値より大きい場合は切替回路40、45では誤差検出回路41の周波数誤差信号が選択されるように切替制御信号を出力する。選択された周波数誤差信号によりクロック及びキャリアの周波数がそれぞれ制御される(ST4)。

【0019】誤差レベル信号が所定の値より小さい場合は切替回路40、45では誤差検出回路44の周波数誤差信号が選択されるように切替制御信号を出力する。その後は誤差検出回路44の検出フラグによって切替制御が行われる。誤差検出回路44でパイロットキャリアが検出される(ST5)。検出されたパイロットキャリアの周波数スロットと予めOFDM受信装置で持っているパイロットキャリアの周波数スロット位置を比較してキャリア間隔単位の周波数誤差を検出するが(ST7)、所定期間パイロットキャリアが検出できなかった場合には検出フラグが非検出となり、切替回路40、45では誤差検出回路41の周波数誤差信号が選択されるように切替制御信号を出力し、パイロットキャリアが検出できていれば、誤差検出回路44の周波数誤差信号が選択されるように切替制御信号を出力する(ST6)。したがって、パイロットキャリアを検出できている状態では、以後、誤差検出回路44の周波数誤差信号によってクロック及びキャリアの周波数が制御される(ST7、ST8)。

【0020】尚、この実施形態では、ガード期間の相関を利用した周波数誤差信号の大きさを所定の値と比較して周波数誤差信号の切替制御を行ったが、単に、ある所定の時間で誤差検出回路41の周波数誤差信号と誤差検出回路44の周波数誤差信号を切り替えるように制御することも可能である。

【0021】図3は誤差検出回路41の構成例を示すブロック図である。これを参照しながらさらに詳しく動作説明する。尚、図3において、太線部は複素信号を表

す。入力端子4101からは直交検波回路34の出力が供給される。その信号は相関演算回路4105、4106に供給される一方、遅延回路4102にも供給される。遅延回路4102は入力された信号を有効シンボル期間遅延させ、複素フィルタ4103、4104に出力する。

【0022】複素フィルタ4103は正の周波数成分のみを通過させるようなフィルタ特性を有し、複素フィルタ4104は負の周波数成分のみを通過させるようなフィルタ特性を有するものであり、それらの出力は相関演算回路4105、4106にそれぞれ入力される。したがって、相関演算回路4105からは正の周波数成分の演算結果が、相関演算回路4106からは負の周波数成分の演算結果が出力される。

【0023】周波数誤差検出回路4106では、上記相関演算回路4105の出力と上記相関演算回路4106の出力を加算し、その位相を検出してキャリアの周波数誤差信号を得た後、上記相関演算回路4105の出力と上記相関演算回路4106の出力を減算し、その位相を検出してクロックの周波数誤差信号を得て出力する。また、クロック及びキャリアの周波数誤差信号の絶対値の大きさによって誤差レベル信号を検出して出力する。

【0024】周波数誤差検出回路4107で得られた誤差レベルは出力端子4108より導出され、クロック周波数誤差信号は出力端子4109より導出され、キャリア周波数誤差信号は出力端子4110より導出される。

【0025】次に、図4を参照しながら誤差検出回路44の構成例を説明する。尚、図4においても、太線部は複素信号を表す。図4において、入力端子4401からは遅延検波回路37の出力が供給される。この信号は加算器4402の一方の入力端子に供給され、もう一方の入力端子には遅延回路4403の出力信号が供給される。加算器4402の出力は遅延回路4403に入力される。遅延回路4403は入力信号を1シンボル期間遅延して出力する。したがって、ここでは、所定のシンボル数の入力信号をシンボル間で同一キャリア同士を加算し出力するシンボル間フィルタを構成している。このとき、パイロットキャリアは無変調のため積分すれば振幅は大きくなるが、他の情報キャリアは位相がランダムなので積分すれば振幅が小さくなる。

【0026】振幅判定回路4404では入力信号の振幅を検出し、所定の値と比較してその比較結果を出力する。この出力信号は相関検出回路4405でパイロットキャリアの配置情報発生回路4406からの配置情報と相関を検出する。相関検出結果は周波数誤差検出回路4407で相関ピークの位置からキャリア間隔単位の周波数誤差を検出し、誤差信号を加算器4408に出力する。

【0027】また、遅延検波回路37の出力はキャリア抜き取り回路4409にも入力され、パイロットキャリ

アのみが出力され、他の情報キャリアはマスクされる。その信号は位相検出回路4410に供給され、位相が検出される。この位相信号は周波数誤差検出回路4411に供給され、正の周波数スロットのパイロットキャリアの信号と負の周波数スロットのパイロットキャリアの信号を加算してキャリアの周波数誤差信号を、正の周波数スロットのパイロットキャリアの信号と負の周波数スロットのパイロットキャリアの信号を減算してクロックの周波数誤差信号を検出し、キャリアの周波数誤差信号は加算器4408のもう一方の入力端子に、クロックの周波数誤差信号は出力端子4414にそれぞれ出力する。加算器4408の出力はキャリアの周波数誤差信号として出力端子4412に出力される。

【0028】さらに、周波数誤差検出回路4407では、相関演算結果からパイロットキャリアが検出できたか判定し、検出フラグを出力する。図5は、本発明の別の実施形態の構成を示すブロック図である。この実施形態はガードの相関を利用した周波数誤差検出で用いる遅延回路と遅延検波に用いる遅延回路を共用する構成例である。前述の図1から図4と同様に動作する部分については説明を省略して、この実施形態に特有の部分についてのみ説明する。

【0029】誤差検出回路41には直交検波回路34の出力が供給される。入力信号は相関演算回路4105、4106に入力されるとともに、スイッチ54に入力される。スイッチ54のもう一方にはFFT回路35の出力が入力されて、上記の切替制御信号によって制御される。

【0030】ここで、切替回路40、45において、ガード期間の相関を利用して検出された周波数誤差信号を選択する場合は、スイッチ54では直交検波回路34の出力が選択されるように動作する。また、切替回路40、45においてパイロットキャリアを利用して検出された周波数誤差信号を選択する場合は、スイッチ54ではFFT回路35の出力が選択される。選択された結果は遅延回路55で遅延され、スイッチ56を介して誤差検出回路41の複素フィルタ4103、4104あるいは遅延検波回路37の複素共役変換回路3702に入力される。

【0031】ここで、スイッチ56の動作もスイッチ54と同様である。すなわち、切替回路40、45においてガード期間の相関を利用して検出された周波数誤差信号を選択する場合は、スイッチ56では誤差検出回路41側がONになるように動作する。また、切替回路40、45においてパイロットキャリアを利用して検出された周波数誤差信号を選択する場合は、スイッチ56では遅延検波回路37側がONになる。

【0032】このように動作させることで遅延回路55を誤差検出回路41と遅延検波回路37で共用することができる。図6は、本発明の別の実施形態の構成を示す

ブロック図である。この実施形態はガードの相関を利用した周波数誤差検出で用いる遅延回路とパイロットキャリアを利用した周波数誤差検出に用いる遅延回路を共用する構成例である。前述の図1から図5と同様に動作する部分については説明を省略して、この実施形態に特有の部分についてのみ説明する。

【0033】スイッチ54の一方には直交検波回路34の出力が供給され、もう一方には誤差検出回路44の加算器4402の出力が供給される。スイッチ54は上記の切替制御信号によって制御され、切替回路40、45においてガード期間の相関を利用して検出された周波数誤差信号を選択する場合、つまり、出力端子4109、4110の出力信号がそれぞれ選択される場合は、スイッチ54では直交検波回路34の出力が選択されるように動作する。

【0034】また、切替回路40、45においてパイロットキャリアを利用して検出された周波数誤差信号を選択する場合、つまり、出力端子4412、4414の出力信号がそれぞれ選択される場合はスイッチ54では加算器4402の出力が選択される。選択された結果は遅延回路55で遅延され、スイッチ56を介して誤差検出回路41の複素フィルタ4103、4104あるいは誤差検出回路44の振幅判定回路4404及び加算器4402に入力される。ここでスイッチ56もスイッチ54と同様に切替回路40、45においてガード期間の相関を利用して検出された周波数誤差信号を選択する場合はスイッチ56では誤差検出回路41側がONになるように動作する。また、切替回路40、45においてパイロットキャリアを利用して検出された周波数誤差信号を選択する場合はスイッチ56では遅延検波回路44側がONになる。このように動作させることで遅延回路55を誤差検出回路41と誤差検出回路44で共用することができる。

【0035】

【発明の効果】以上述べたように本発明によれば、ガード期間の相関を利用したクロック及びキャリアの周波数誤差検出回路とパイロットキャリアを利用したクロック及びキャリアの周波数誤差検出回路の一方のみを動作させるシーケンスとすることで遅延回路を共用することができ、OFDM受信装置の回路規模を削減できる。

【図面の簡単な説明】

【図1】 本発明に係るOFDM受信装置の一実施形態とする全体的な構成を示すブロック図。

【図2】 同実施形態のOFDM受信装置の動作を説明するためのフローチャート。

【図3】 同実施形態に用いる誤差検出回路の具体的な構成を示すブロック図。

【図4】 同実施形態に用いる誤差検出回路の他の具体的な構成を示すブロック図。

【図5】 本発明に係るOFDM受信装置の他の実施形

態として、周波数誤差検出回路と遅延検波回路における遅延回路を共用化した構成を示すブロック図。

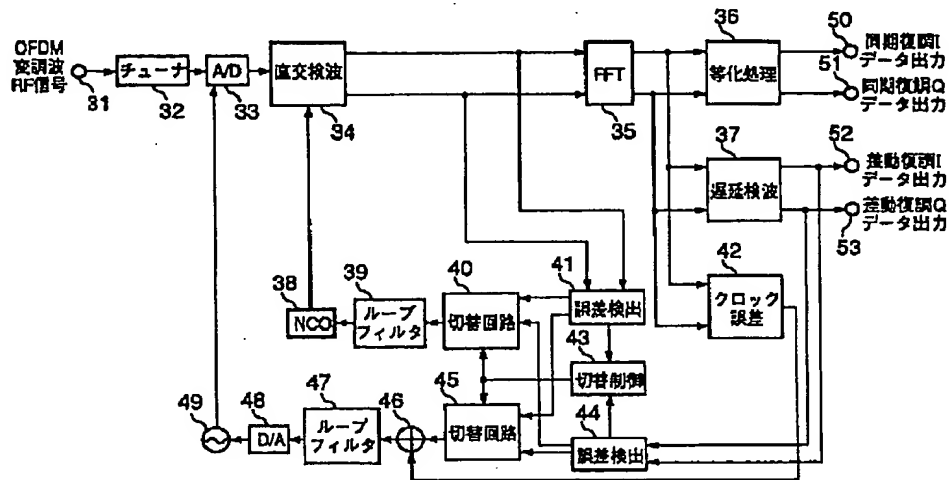
【図6】 本発明に係るOFDM受信装置の他の実施形態として、2つの周波数誤差検出回路における遅延回路を共用化した構成を示すブロック図。

【図7】 従来のOFDM伝受信装置の構成を示すブロック図。

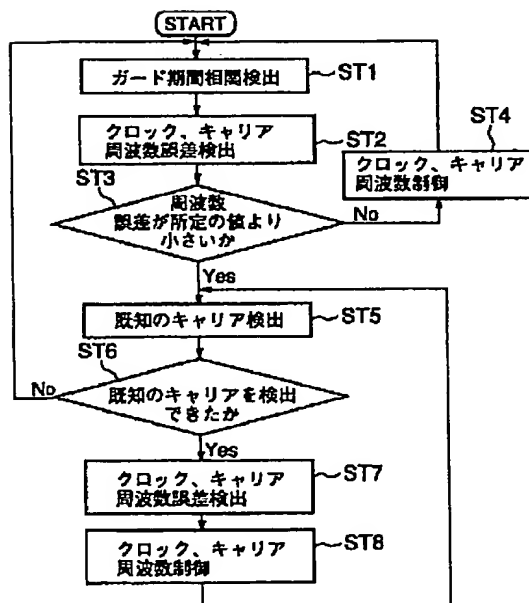
【符号の説明】

32…チューナ、33…A/D変換回路、34…直交検波回路、35…FFT回路、136…等化処理回路、137…遅延検波回路、138…数値制御発振器、39…ループフィルタ、40…切替回路、41…誤差検出回路、42…クロック誤差検出回路、43…切替制御回路、44…誤差検出回路、45…切替回路、46…加算器、47…ループフィルタ、48…D/A変換回路、49…電圧制御発振器。

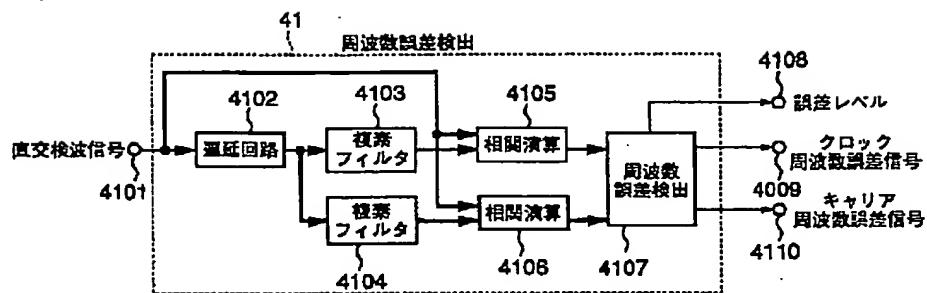
【図1】



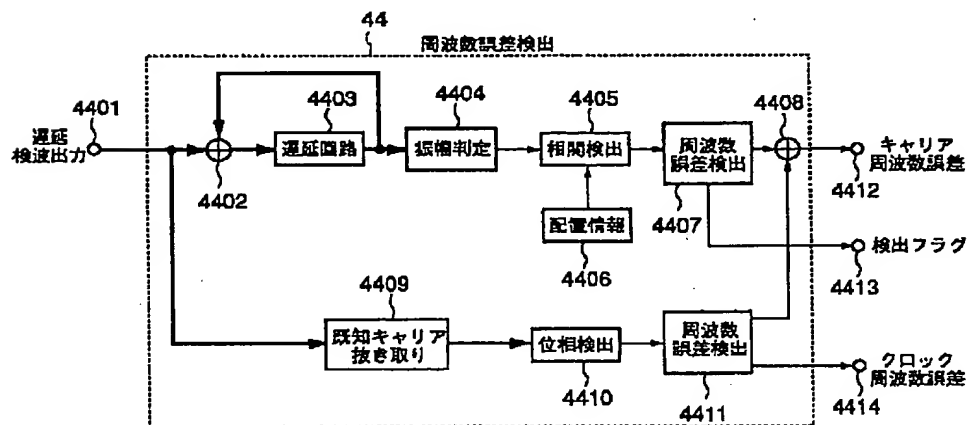
【図2】



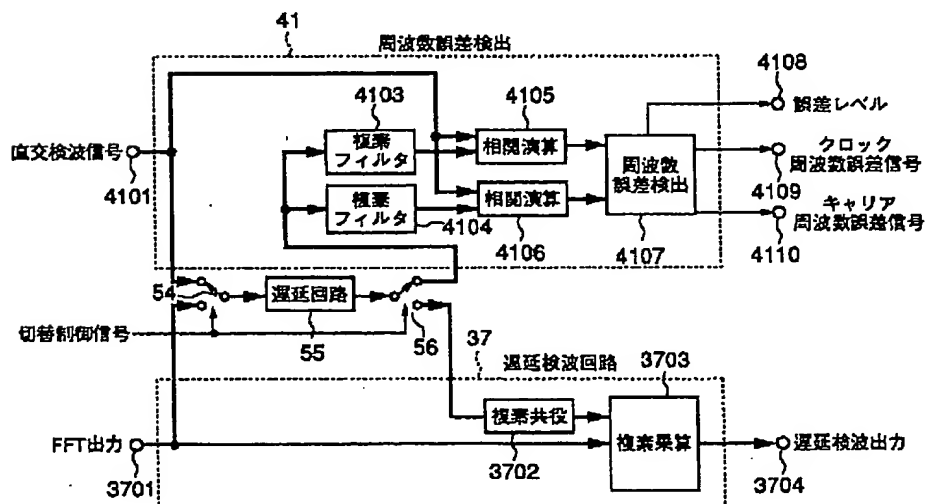
【図3】



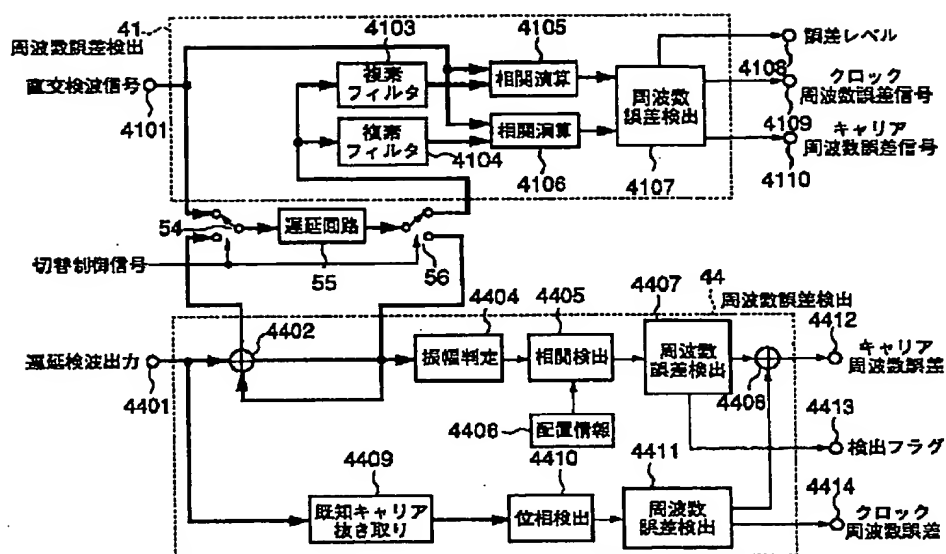
【図4】



【図5】



【図6】



【図7】

